

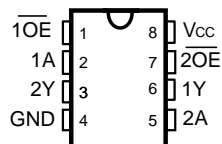
SN74AHC2G125H DUAL BUS BUFFER GATE WITH 3-STATE OUTPUTS

JAN 1999

国内限定販売

- Operating Range 2-V to 5.5-V V_{CC}
- Switching Speed Typ 5.6ns ($V_{CC}=3.0V$, $CL=15pF$)
- All inputs $V_{IH}(\text{Max})=5.5V$ ($@V_{CC}=0$ to 5.5V)
- Low power Dissipation $I_{CC}(\text{Max})$ 2 μ A($@ Ta=25^{\circ}C$)
- 8pin DCT Package (2.95 X 2.80 X 1.1mm)

DCT PACKAGE (TOP VIEW)



description

The SN74AHC2G125H is dual bus buffer gates/line drivers with 3-state output.

Each output is disabled when the output-enable (\overline{OE}) input is high. When \overline{OE} is low, true data is passed from the A input to the Y output.

To ensure the high-impedance state during power up or power down, \overline{OE} should be tied to V_{CC} through a pullup resistor; the minimum value of the resistor is determined by the current-sinking capability of the driver.

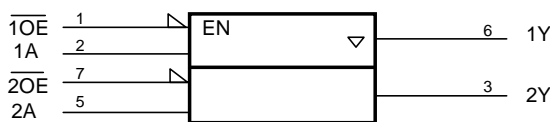
The SN74AHC2G125H is characterized for operation from $-40^{\circ}C$ to $85^{\circ}C$.

FUNCTION TABLE (each buffer)

INPUTS		OUTPUT
\overline{OE}	A	Y
L	H	H
L	L	L
H	X	Z

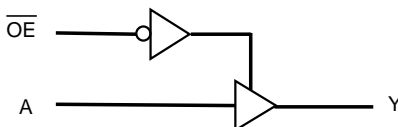
X : Don't Care Z : High impedance

logic symbol †



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

logic diagram (positive logic)



巻末に、製品を発注する場合に事前に確認していただきたい事項、および製品の標準保証条件、ならびに人身、環境等への深刻な影響を及ぼす危険性を包含する用途への製品の使用に関するご注意がおりますので、必ずお読み下さい。

SN74AHC2G125H

DUAL BUS BUFFER GATE

WITH 3-STATE OUTPUTS

国内限定販売

JAN 1999

absolute maximum ratings over operating free-air temperature range(unless otherwise noted) †

Supply voltage range, V_{CC}	- 0.5 V to 6.0 V
Input voltage range, V_I (see Note1)	- 0.5 V to 6.0 V
Output voltage range, V_O (see Note1)	- 0.5 V to $V_{CC} + 0.5$ V
Input clamp current, I_{IK} ($V_I < 0$)	- 20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	± 20 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	± 25 mA
Continuous current through V_{CC} or GND	± 50 mA
Maximum power dissipation at $T_A = 25^\circ\text{C}$ (in still air) (see Note2):	DCT package	300 mW
Storage temperature range, T_{stg}	- 65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output clamp-current ratings are observed.
 2. The maximum package power dissipation is calculated using a junction temperature of 150°C and a broad trace length of 750 mils.
 For more information, refer to the *Package Thermal Consideration* application note.

SN74AHC2G125H
DUAL BUS BUFFER GATE
WITH 3-STATE OUTPUTS

JAN 1999

国内限定販売

recommended operating conditions (see Note 3)

		MIN	MAX	UNIT
V _{CC}	Supply voltage	2	5.5	V
V _{IH}	Highlevel input voltage	V _{CC} = 2V	1.5	V
		V _{CC} = 3V	2.1	
		V _{CC} = 5.5V	3.85	
V _{IL}	Lowlevel input voltage	V _{CC} = 2V	0.5	V
		V _{CC} = 3V	0.9	
		V _{CC} = 5.5V	1.65	
V _I	Input voltage	0	5.5	V
V _O	Output voltage	0	V _{CC}	V
Tr/Tf	Input transition rise or fall rate	V _{CC} = 3.3V ± 0.3V	0 to 200	ns
		V _{CC} = 5V ± 0.5V	0 to 100	
T _A	Operating free-air temperature	-40	85	°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation.

electrical characteristics over recommended operating free-air temperature range
(unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	Ta = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
V _{OH}	I _{OH} = -50 μA	2V	1.9	2	1.9	V		
		3V	2.9	3	2.9			
		4.5V	4.4	4.5	4.4			
	I _{OH} = -4 mA	3V	2.58		2.48			
	I _{OH} = -8 mA	4.5 V	3.94		3.8			
V _{OL}	I _{OL} = 50 μA	2V	0.1		0.1	V		
		3V	0.1		0.1			
		4.5V	0.1		0.1			
	I _{OH} = 4 mA	3V	0.36		0.44			
	I _{OL} = 8 mA	4.5 V	0.36		0.44			
I _I	A or OE input V _I = V _{CC} or GND	5.5 V	± 0.1		± 1	μA		
I _{oz}	V _I = V _{CC} or GND	5V	± 0.25		± 2.5	μA		
I _{CC}	V _I = V _{CC} or GND, I _O = 0	5.5 V	2		20	μA		
C _i	V _I = V _{CC} or GND	5 V	4	10	10	pF		
C _o	V _I = V _{CC} or GND	5 V	6			pF		

SN74AHC2G125H
DUAL BUS BUFFER GATE
WITH 3-STATE OUTPUTS

国内限定販売

JAN 1999

switching characteristics over recommended operating free-air temperature range

$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (unless otherwise noted) (see Figure1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{pd}^{*1}	A	Y	$C_L = 15\text{pF}$	5.6	8	1	9.5	ns	
t_{en}^{*2}	$\overline{\text{OE}}$			5.4	8	1	9.5		
t_{dis}^{*3}									
t_{pd}^{*1}	A	Y	$C_L = 50\text{pF}$	8.1	11.5	1	13		
t_{en}^{*2}	$\overline{\text{OE}}$			7.9	11.5	1	13		
t_{dis}^{*3}				9.5	13.2	1	15		
tsk(o) †						1.5	1.5		

switching characteristics over recommended operating free-air temperature range

$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted) (see Figure1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{pd}^{*1}	A	Y	$C_L = 15\text{pF}$	3.8	5.5	1	6.5	ns	
t_{en}^{*2}	$\overline{\text{OE}}$			3.6	5.1	1	6		
t_{dis}^{*3}									
t_{pd}^{*1}	A	Y	$C_L = 50\text{pF}$	5.3	7.5	1	8.5		
t_{en}^{*2}	$\overline{\text{OE}}$			5.1	7.1	1	8		
t_{dis}^{*3}				6.1	8.8	1	10		
tsk(o) †						1	1		

*1 $t_{pd} : t_{pLH} / t_{pHL}$, *2 $t_{en} : t_{pZH} / t_{pZL}$, *3 $t_{dis} : t_{pHZ} / t_{pLZ}$

† Skew between any outputs of the same package switching in the same direction. This parameter is warranted but not production tested.

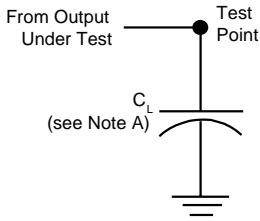
noise characteristics, $V_{CC}=5\text{V}$, $C_L=50\text{pF}$, $T_A=25^\circ\text{C}$

PARAMETER		MIN	TYP	MAX	UNIT
V_{OLP}	Quiet output, maximum dynamic VOL		0.3	0.8	V
V_{OLV}	Quiet output, minimum dynamic VOL	-0.8	-0.3		
V_{IHD}	High-level dynamic input voltage			3.5	
V_{ILD}	Low-level dynamic input voltage			1.5	

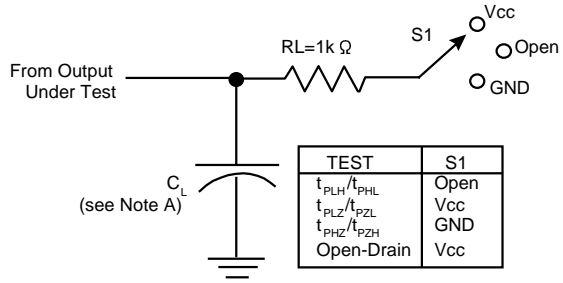
operating characteristics, $T_A= 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS	TYP	UNIT
Cpd	Power dissipation capacitance	No load, $f = 1\text{ MHz}$	14	pF

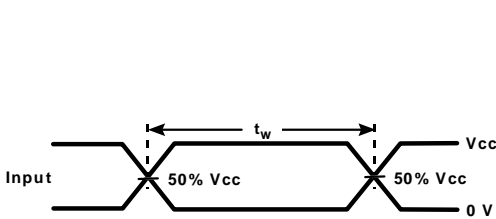
PARAMETER MEASUREMENT INFORMATION



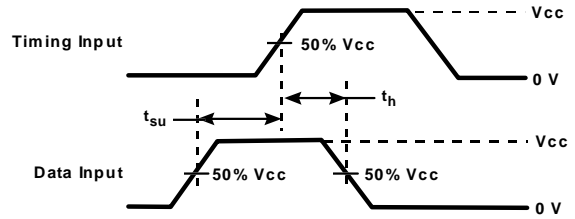
LOAD CIRCUIT FOR TOTEM-POLE OUTPUTS



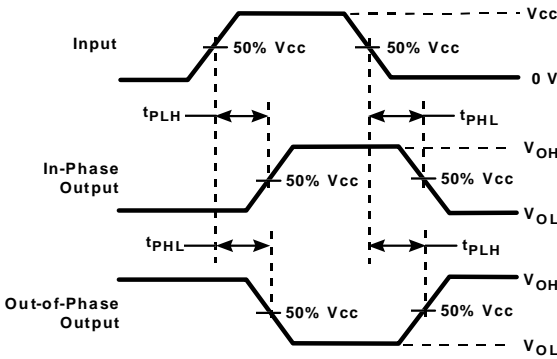
LOAD CIRCUIT FOR 3-STATE AND OPEN-DRAIN OUTPUTS



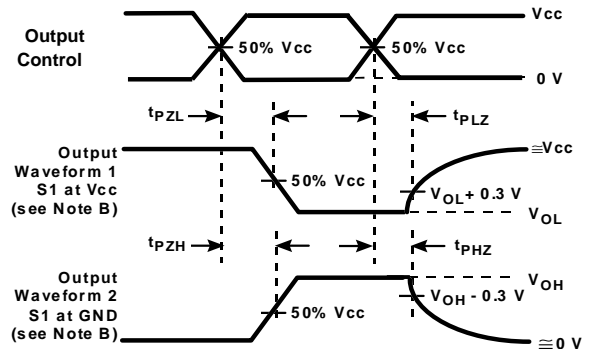
VOLTAGE WAVEFORMS PULSE DURATION



VOLTAGE WAVEFORMS SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS ENABLE AND DISABLE TIMES LOW- AND HIGH-LEVEL ENABLING

- NOTES :
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics : $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
 - D. The Outputs are measured one at a time with one transition per measurement.
 - E. t_{pLZ} and t_{pHZ} are the same as t_{dis} .
 - F. t_{pZL} and t_{pZH} are the same as t_{en} .
 - G. t_{pHL} and t_{pLH} are the same as t_{pd} .

Figure 1. Load Circuit and Voltage Waveforms

ご 注 意

日本テキサス・インスツルメンツ株式会社（以下Tといいます）は、通知をすることなくその製品を変更し、もしくは半導体集積回路製品またはサービスの製造または提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする資料が最新のものであることを確実にするため、最新版の資料を取得するようお勧めします。

Tは、その半導体集積回路製品および関連するソフトウェアが、Tの標準保証条件に従い販売の際の現行の仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、Tが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する特定の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

半導体集積回路製品を使用する或る種の用途の中には、死亡、傷害、または財産もしくは環境に深刻な被害をもたらす危険の可能性を包含するものがあります。（以下、これらを「重大用途」といいます。）

Tの半導体集積回路製品は、生命維持の用途、装置、システム、その他の重大用途に使用できるように設計も、意図も、承認も、また保証もされておられません。

Tの製品を当該重大用途に組み込むことは、お客様独自のリスクでなされることと解釈されます。T製品を当該用途に使用される場合は、事前にTの役員の書面による承諾を必要とします。危険な可能性を有する用途に関する質問は、Tの営業所を通じて、T迄お寄せ下さい。

お客様の用途にT製品を使用することに伴う危険を最小のものとするため、製品固有の危険性を最小にするための、適切な設計上および作動する上での安全対策は、お客様がとらなくてはなりません。

Tは製品の使用用途に関する支援、お客様の製品の設計、ソフトウェアの性能、または特許侵害もしくはサービスに対する責任を負うものではありません。またTは、その半導体集積回路製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、またはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表示もしておりません。

Copyright© 1999 日本テキサス・インスツルメンツ株式会社

N-9809

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊・劣化、または故障を起こすことがあります。

弊社半導体製品の お取り扱い、ご使用にあたっては下記 の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
弊社出荷梱包単位（外装から取り出された内装及び個装）又は 製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度：0~ 40、相対湿度：40~ 85%で保管・輸送及び取り扱いを行うこと。（但し、露結しないこと。）
直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限 260 以上の高温状態に、10 秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上